

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08222568 A

(43) Date of publication of application: 30 . 08 . 96

(51) Int. Cl.

H01L 21/3205

C23F 1/12

C23F 4/00

// C23C 16/18

C23C 16/34

(21) Application number: 07046322

(22) Date of filing: 10 . 02 . 95

(71) Applicant: ULVAC JAPAN LTD

(72) Inventor:
 TAKAHASHI SEIICHI
 KUSUMOTO TOSHIO
 TAKAHASHI MASAYUKI
 MURATA MASAOKI
 RIYUU SHINKEN

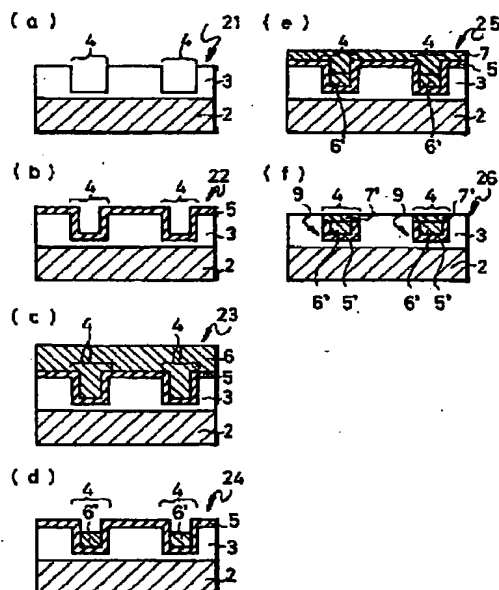
(54) COPPER WIRING MANUFACTURE,
 SEMICONDUCTOR DEVICE, AND COPPER
 WIRING MANUFACTURING DEVICE

(57) Abstract:

PURPOSE: To form copper wiring by simple process without using a wet process.

CONSTITUTION: Barrier layers 5 and 15 and copper films 6 and 16 are grown in this order on the surface of an insulating film 3 being grown on a substrate 2 and provided with a groove, and the groove 4 is charged with copper, and then positive bivalent copper organic complex gas and electron donative neutral ligand gas are supplied to the surface of the copper film 6, whereupon the copper on the surface of the copper film 6 is converted into a positive univalent copper organic complex, and is removed with vacuum exhaust, so copper thin film wiring 6' remains within the groove 4. Since the groove 4 can be made in minute width, and this copper film wiring 6' can also be micronized. Furthermore, providing a cap layer 7 on the copper film wiring 6' will enable encapsuled copper wiring 9 to be made, so copper ceases to corrode or diffuse in the insulating film.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222568

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L 21/88	J
C 2 3 F	1/12		C 2 3 F 1/12	
	4/00		4/00	E
// C 2 3 C	16/18		C 2 3 C 16/18	
	16/34		16/34	

審査請求 未請求 請求項の数 5 F D (全 9 頁) 最終頁に続く

(21) 出願番号 特願平7-46322

(22) 出願日 平成7年(1995)2月10日

(71) 出願人 000231464

日本真空技術株式会社

神奈川県茅ヶ崎市萩園2500番地

(72) 発明者 ▲高▼橋 誠一

神奈川県茅ヶ崎市萩園2500番地 日本真空
技術株式会社内

(72) 発明者 楠本 淑郎

神奈川県茅ヶ崎市萩園2500番地 日本真空
技術株式会社内

(72) 発明者 高橋 正行

神奈川県茅ヶ崎市萩園2500番地 日本真空
技術株式会社内

(74) 代理人 弁理士 石島 茂男

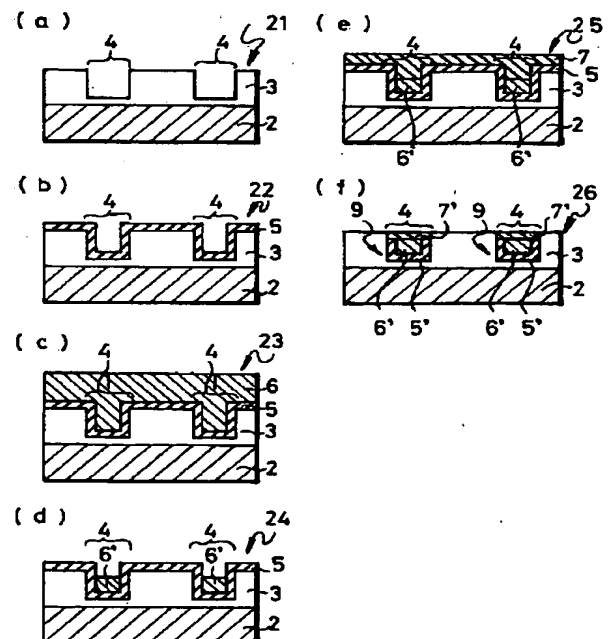
最終頁に続く

(54) 【発明の名称】 銅配線製造方法、半導体装置、及び銅配線製造装置

(57) 【要約】

【目的】 ウェット工程を用いることなく、簡単な工程で銅配線を形成する。

【構成】 基板2、12上に成膜され、溝4、14が設けられた絶縁膜3、13表面にバリア層5、15と銅薄膜6、16とをこの順で成膜し、前記溝4、14内を銅で充填した後、前記銅薄膜6、16表面に、正2価の銅有機錯体ガスと電子供与性中性配位子ガスとを供給すると、前記銅薄膜6、16表面の銅は正1価の銅有機錯体に転換され、真空排気で除去されるので、前記溝4、14内には銅薄膜配線6'、16'が残る。前記溝4、14は微細幅に形成できるので、この銅薄膜配線6'、16'も微細化できる。更に、前記銅薄膜配線6'、16'上にキャップ層7'、17'を設けると、カプセル化された銅配線9、19ができ、銅が腐食したり絶縁膜中を拡散したりしなくなる。



【特許請求の範囲】

【請求項1】基板上に成膜され、溝が設けられた絶縁膜表面にバリア層を成膜するバリア層成膜工程と、前記バリア層表面に銅薄膜を成膜して前記溝内を銅で充填する銅充填工程と、

前記溝内に充填された銅を残して前記銅薄膜を除去し、該溝内に銅配線を形成する配線形成工程とを有する銅配線製造方法であって、

前記配線形成工程は、前記銅薄膜表面に、正2価の銅有機錯体ガスと電子供与性中性配位子ガスとを供給し、前記銅薄膜を正1価の銅有機錯体にして除去するエッチバック工程を有することを特徴とする銅配線製造方法。

【請求項2】前記配線形成工程は、前記溝内に残された銅表面にキャップ層を形成するキャップ層形成工程を有することを特徴とする請求項1記載の銅配線製造方法。

【請求項3】基板上に成膜された絶縁膜と、該絶縁膜に設けられた溝と、該溝内に成膜されたバリア層と、該バリア層上に成膜され前記溝内を充填して成る銅薄膜とを有する半導体装置であって、

前記銅薄膜のうち、前記溝外の銅薄膜は、正2価の銅有機錯体ガスと電子供与性中性配位子ガスによって正1価の銅有機錯体に転換除去されて、前記溝内に銅配線が形成されていることを特徴とする半導体装置。

【請求項4】前記銅配線上にキャップ層が設けられていることを特徴とする請求項3記載の半導体装置。

【請求項5】バリア層を成膜するバリア層成膜室と、銅薄膜を成膜する銅薄膜成膜室と、銅薄膜を除去するエッチバック室とを有し、前記各室が、基板搬送ロボットが置かれた基板搬送室周囲に配置された銅配線製造装置において、前記各室は真空排気され、前記基板搬送ロボットで基板を搬送して前記各室で処理する際に前記基板は大気に曝されないように構成され、前記エッチバック室は、基板上に成膜された銅薄膜表面に、正2価の銅有機錯体ガスと電子供与性中性配位子ガスとを供給し、前記銅薄膜を正1価の銅有機錯体にし、前記基板表面の前記銅薄膜の不要部分が均一に除去されるように構成されたことを特徴とする銅配線製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、微細な銅配線を製造する技術、その製造に用いることができる銅配線製造装置、及び、その技術で製造された銅配線を有する半導体装置にかかり、特に、製造工程が簡単で、一貫して真空雰囲気中で処理できる銅配線製造方法、銅配線製造装置、及びその銅配線を有する半導体装置に関する。

【0002】

【従来の技術】現在、半導体集積回路内の素子間を結ぶ配線には、加工の容易性等から、アルミニウム(Al)を

主材料とするものが使用されている。

【0003】しかし、アルミニウムで作った配線は、エレクトロマイグレーションやストレスマイグレーションに対する耐性が弱いため、配線の微細化が進むに従って頻繁に断線し、大きな問題となっている。

【0004】この対策として、アルミニウム配線に比べ、エレクトロマイグレーションやストレスマイグレーションに対する耐性が高いタングステン(W)やモリブデン(Mo)を材料として配線を作ることも提案されているが、アルミニウムに比較して抵抗値が大きいため、これらを微細な配線パターンに適用した場合には、その配線によって生じる電圧降下が大きくなりすぎ、配線での発熱の問題を生じ、また、抵抗値が大きいは信号伝達の遅延に結びつく等、新たな問題が発生していた。

【0005】そこで、抵抗値が小さく、しかもエレクトロマイグレーション耐性やストレスマイグレーション耐性等の物性に優れた銅(Cu)を配線材料として用いることが検討され始めている。

【0006】しかしながら物性として優れた銅も、LSI配線に用いようとすると、次のような不都合があり、半導体集積回路の配線材料として実用化するのが困難視されていた。

【0007】■ シリコンやシリコン酸化膜中において拡散が速い。

■ シリコン酸化膜との密着性が悪い。

■ 酸化、腐食がされやすい。

■ 銅のハロゲン化合物の蒸気圧が低いため、従来のアルミニウム配線をエッチングできたエッチングガスが使用できず、異方性ドライエッチングによる、微細加工が行えない。

【0008】ところが近年では、例えば窒化チタン(TiN)薄膜やチタンタングステン(TiW)薄膜などのバリア層を下地薄膜として成膜しておき、そのバリア層上に銅薄膜を成膜すると、該バリア層が基板中への銅の拡散を防止すると共に密着性を向上させることが見出され、また、このようなバリア層を銅薄膜上にも成膜しておく、銅配線の耐腐食性も向上することから、上記■、■、■の問題点については解決の目途がついている。

【0009】残る上記■の、銅の微細加工の問題に関しては、例えば、基板表面に全面成膜された銅薄膜上に耐熱性の無機レジスト等を用いて配線パターンを形成し、250℃～300℃の高温にてドライエッチングを行うという解決策が提案されているが、工程が複雑になり、更には解像性が悪かったり、銅配線にダメージが加えられる等、問題が多い。

【0010】また、銅による配線の形成に関しては、半導体基板上に銅薄膜を全面成膜し、次いで従来使用されているのと同様のレジストを塗布・パターンニングした後、銅を堆積させるCVD反応とは逆の化学反応による

エッチングを行い、基板上に銅配線を形成する方法も提案されている。この方法によれば、200℃以下の比較的低温状態でエッチングを行えるという利点はあるが、CVDの逆反応によるエッチングは等方的なため、数 μ m以下の微細化加工が困難であり、未だ実用化には至っていない。

【0011】一方、従来のエッチング技術に代る技術として、化学的機械研磨法(以下、CMP法と呼ぶ。)を用いて微細な銅配線を形成する方法も提案されている。この方法は伝統工芸分野における象眼細工と同じ発想であり、該CMP法を図面を用いて簡単に説明する。

【0012】図5(a)を参照し、102はシリコン基板であり、シリコン熱酸化膜から成る絶縁膜103を有している。該絶縁膜103には溝104が設けられ、表面にバリア層105が成膜され、更に該バリア層105上に銅薄膜106が、CVD法によりコンフォーマルに成膜されている。

【0013】この基板表面を、研磨液にて研磨する(CMP)と、図5(b)に示すように、前記銅薄膜106と前記バリア層105のうち、前記絶縁膜103表面にあったものは研磨除去され、前記溝104の内部に充填されていたものだけが残るので、銅配線薄膜106'と、該銅配線薄膜106'の周面、及び底面の下地バリア層105'とが前記溝104内に残される。

【0014】この基板表面に、図5(c)のように、前記バリア層105と同じ組成の保護膜107を全面成膜し、次いで、図5(d)のように、前記銅配線薄膜106'上の前記保護膜107が除去されないようにレジスト膜108を設けてエッチングすると、前記保護膜107の不要部分が除去されてキャップ層107'が形成されるので、このCMP法によれば、図5(e)で示すように、溝内に充填された前記銅配線薄膜106'が、前記下地バリア層105'と前記キャップ層107'とでカプセル化された銅配線109ができあがる。

【0015】そして、該銅配線109の幅は、前記溝104の幅と等しくできるので、異方性エッチングによって溝幅を微細化すれば、銅配線109も微細化ができる。

【0016】このように、電気特性に優れた銅配線を半導体集積回路の配線材料として使いこなすためには、その微細加工技術が非常に重要となってくるが、現状のアルミ加工プロセスで使用されているドライエッチング技術が適用できないために、現状では上述したCMP法のようなウェット研磨技術が有望視されるに至っている。

【0017】

【発明が解決しようとする課題】しかしながら、上記CMP法は研磨液の使用を前提とするウェット加工である。このようなウェット加工は、清浄雰囲気中で基板処理が行える真空プロセスとは異なり、研磨時にダストが生じ、基板に付着することが避けられず、歩留りや信頼

性が大きく低下する等、様々な問題が新たに発生している。

【0018】そこで本発明は、ウェット工程を用いない清浄な雰囲気のプロセスで製造できる微細な銅配線を有する半導体装置、その銅配線を製造する製造方法、及び、その方法に用いることができる製造装置に関する技術を提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明方法は、基板上に成膜され、溝が設けられた絶縁膜表面にバリア層を成膜するバリア層成膜工程と、前記バリア層表面に銅薄膜を成膜して前記溝内を銅で充填する銅充填工程と、前記溝内に充填された銅を残して前記銅薄膜を除去し、該溝内に銅配線を形成する配線形成工程とを有する銅配線製造方法であって、前記配線形成工程は、前記銅薄膜表面に、正2価の銅有機錯体ガスと電子供与性中性配位子ガスとを供給し、前記銅薄膜を正1価の銅有機錯体にして除去するエッチバック工程を有することを特徴とし、

【0020】請求項2記載の発明方法は、請求項1記載の銅配線製造方法であって、前記配線形成工程は、前記溝内に残された銅表面にキャップ層を形成するキャップ層形成工程を有することを特徴とし、

【0021】請求項3記載の発明装置は、基板上に成膜された絶縁膜と、該絶縁膜に設けられた溝と、該溝内に成膜されたバリア層と、該バリア層上に成膜され前記溝内を充填して成る銅薄膜とを有する半導体装置であって、前記銅薄膜のうち、前記溝外の銅薄膜は、正2価の銅有機錯体ガスと電子供与性中性配位子ガスによって正1価の銅有機錯体に転換除去されて、前記溝内に銅配線が形成されていることを特徴とし、

【0022】請求項4記載の発明装置は、請求項3記載の半導体装置であって、前記銅配線上にキャップ層が設けられていることを特徴とし、

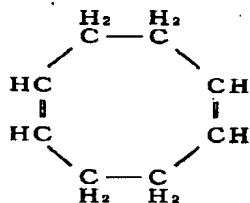
【0023】請求項5記載の発明装置は、バリア層を成膜するバリア層成膜室と、銅薄膜を成膜する銅薄膜成膜室と、銅薄膜を除去するエッチバック室とを有し、前記各室が、基板搬送ロボットが置かれた基板搬送室周囲に配置された銅配線製造装置において、前記各室は真空排気され、前記基板搬送ロボットで基板を搬送して前記各室で処理する際に前記基板は大気に曝されないように構成され、前記エッチバック室は、基板上に成膜された銅薄膜表面に、正2価の銅有機錯体ガスと電子供与性中性配位子ガスとを供給し、前記銅薄膜を正1価の銅有機錯体にし、前記基板表面の前記銅薄膜の不要部分が均一に除去されるように構成されたことを特徴とする。

【0024】

【作用】まず、本発明の基礎である銅薄膜を成膜するCVD法の反応機構について説明する。銅薄膜を堆積させるCVD法には、正1価銅有機錯体ガスを原料にする方

法と、正2価銅有機錯体ガスを原料にする方法とがあり、それらの反応機構は、一般には次の化学反応によるものと考えられている。

【0025】■ 正1価銅有機錯体ガスを用いる方法

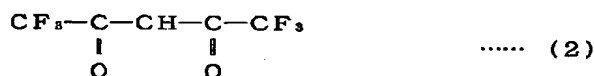


..... (1)

【0027】で示される、1, 5-シクロオクタジエン (C_8H_{12} 以下、「COD」と略記する)と、次式、

【0028】

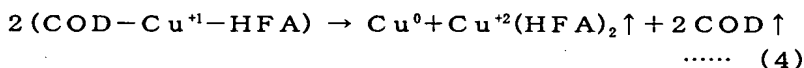
【化2】



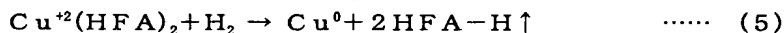
【0029】で示される、ヘキサフルオロアセチルアセトン ($\text{CF}_3\text{COCHCOCF}_3$ 以下、「HFA」と略記する)とを有する $\text{COD}-\text{Cu}^{\text{+1}}-\text{HFA}$ や、前記HFAと、次式(以下、メチル基は「Me」と略記する。また、エチル基は「Et」と略記する。)、

【0030】

【化3】



【0035】■ 正2価銅有機錯体を用いる方法
正2価銅有機錯体 ($\text{Cu}^{\text{+2}}$ 錯体)として、例えば、 $\text{Cu}^{\text{+2}}(\text{HFA})_2$ を前駆物質に用いる場合を説明する。真空槽内に $\text{Cu}^{\text{+2}}(\text{HFA})_2$ ガスと H_2 ガスとを導入すると、 $\text{Cu}^{\text{+2}}(\text{HFA})_2$ が基板表面上で解離反応を起こし、 $\text{Cu}^{\text{+1}}-\text{HFA}$ 、及びHFA中間体が基板表面に吸着する。



【0038】以上説明した、上記■、■のいずれの場合でも、銅薄膜の生成は、基板表面に吸着した $\text{Cu}^{\text{+1}}$ 中間体が Cu^0 に変化することで行われる。

【0039】この場合、基板表面に下地金属薄膜が成膜されていれば、該下地金属薄膜は前記 $\text{Cu}^{\text{+1}}$ 中間体に自由電子を供与できるので、 Cu^0 が生成され、銅薄膜が成長するが、基板表面のうち、下地金属薄膜がなく、 SiO_2 等の絶縁膜が露出している部分では、絶縁膜は供与できる自由電子を持たないため、 Cu^0 が生成されず、反応が進行しない。その結果、絶縁膜上には銅薄膜

正1価銅有機錯体 ($\text{Cu}^{\text{+1}}$ 錯体)としては、次の(1)式、

【0026】

【化1】

【0031】で示される、ビニルトリメチルシラン ($\text{Si}(\text{Me})_3-\text{CHCH}_2$ 以下、「VTMS」と略記する)とを有する $\text{VTMS}-\text{Cu}^{\text{+1}}-\text{HFA}$ 等が原料ガスに用いられている。

【0032】前記 $\text{COD}-\text{Cu}^{\text{+1}}-\text{HFA}$ を前駆物質として用いる場合を説明すると、まず、真空槽内に基板を置き、 $\text{COD}-\text{Cu}^{\text{+1}}-\text{HFA}$ ガスを導入すると、該 $\text{COD}-\text{Cu}^{\text{+1}}-\text{HFA}$ は基板表面で解離反応を起す。このとき、 $\text{Cu}^{\text{+1}}-\text{HFA}$ 中間体が基板表面に吸着するとともに、 $2\text{COD} \uparrow$ が気相中に脱離する。

【0033】次に、表面に吸着した $\text{Cu}^{\text{+1}}-\text{HFA}$ 中間体2分子の不均化(Disproportionation)反応により、表面に1原子の金属 Cu^0 が生成するとともに、正2価銅有機錯体である $\text{Cu}^{\text{+2}}(\text{HFA})_2 \uparrow$ が気相中に脱離する。

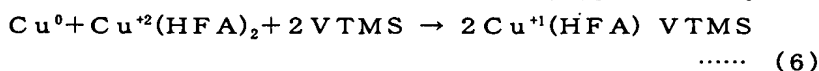
【0034】これらの反応をまとめると、次式のようになる。

【0036】次に、 H_2 による還元反応が起こり、前記HFA中間体は揮発性の $\text{HFA}-\text{H} \uparrow$ となって気相中に脱離し、基板表面には1原子の金属 Cu^0 が生成する。

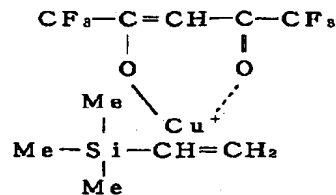
【0037】これらの反応をまとめると次式のようになる。

は成長せず、前記下地金属薄膜上にもみ銅が成膜される選択成長を行うことが可能となる。

【0040】ところで上述の銅薄膜の成膜とは逆に、既に成膜されている銅薄膜表面に、例えば $\text{Cu}(\text{HFA})_2$ ガス等の正2価銅有機錯体と、例えばVTMS等の電子供与性中性配位子ガスとを、化学量論的には1:2モルの割合で供給すると、前記正2価銅有機錯体と前記電子供与性中性配位子とが銅薄膜表面の Cu^0 を取込み、正2価有機銅錯体が、正1価有機銅錯体に転換される、次の(6)式の化学反応が生じる。



【0041】上式右辺の $\text{Cu}^{+1}(\text{HFA})$ VTMSは比較的蒸気圧が高く、容易に基板表面より除去できるので、上述のCVD法による銅薄膜生成とは逆に、銅薄膜のエッチングを行うことが可能となる。



【0044】ところが、このエッチングは異方性でなく等方的であり、レジストをマスクとして銅薄膜をエッチングする場合には、配線幅を微細化できない。しかし、微細幅の溝が設けられた絶縁膜表面にバリア層を介して銅薄膜をコンフォーマルに成膜すれば、溝内が銅で充填されて厚くなり、また、溝以外の部分の銅薄膜は薄く、表面が平坦になる。従って、等方的なエッチングによっても、溝内の銅のみを残し、他の部分の薄い銅薄膜を除去できるので、これにより配線間の絶縁が達成でき、微細幅の銅配線を作ることができる。

【0045】なお、上記(6)式の左辺のVTMSは、電子供与性中性配位子であればよく、例えば $\text{Si}(\text{Me})_3$ 、 $\text{C}\equiv\text{CSi}(\text{Me})_3$ 等を用いてもよい。

【0046】

【実施例】本発明の実施例を図面を用いて説明する。図1(a)~(f)は、微細幅の銅薄膜配線を製造する、本発明方法の一実施例を説明するための工程図である。

【0047】図1(a)を参照し、21はウェハーであり、シリコン単結晶から成る基板2上に成膜された膜厚1.0 μm のシリコン酸化膜から成る絶縁膜3を有している。該絶縁膜3上にはフォトリソグラフィとドライエッチングにより、幅0.35 μm 、深さ0.7 μm (アスペクト比=2)の溝4がラインアンドスペースを構成するように複数設けられている。

【0048】図2に示した半導体製造装置30は、本発明装置の一実施例の銅配線製造装置であり、前記ウェハー21のプロセス処理を一貫して真空中で行い、銅配線を形成するものであり、該半導体製造装置30は、基板搬送ロボット39が設けられた基板搬送室31を有しており、該基板搬送室31を中心として、カセット室32、ドライエッチング室33、バリア層成膜室34、銅薄膜成膜室35、エッチバック室36とが、図面反時計回りの方向にこの順で配置されて、図示しない真空ポンプによって各室は高真空状態に置かれている。

【0049】前記カセット室32以外の各室を高真空に保った状態で、前記ウェハー21を前記カセット室32内に置き、該カセット室32を真空状態にした後、前記基板搬送ロボット39により、前記ウェハー21を前記バリア層成膜室34に搬入する。

【0050】該バリア層成膜室34は、搬入された前記

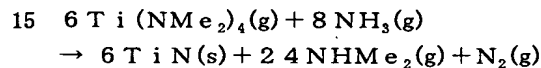
【0042】なお、前記 $\text{Cu}^{+1}(\text{HFA})$ VTMSの構造を次式に示しておく。

【0043】

【化4】

..... (7)

ウェハー21を350℃に加熱し、 $\text{Ti}(\text{NMe}_2)_4$ ガス、及び NH_3 ガスを導入し、次のCVD反応により、600Åの厚みのTiN薄膜から成るバリア層5を成膜した。



【0051】上式のCVD反応は反応律速で進行し、TiN薄膜はコンフォーマルに成長するので、図1(b)に示すような、カバレッジの良いウェハー22が得られた。

【0052】次いで、前記ウェハー22を、前記バリア層成膜室34から前記銅薄膜成膜室35に搬入し、該ウェハー22の温度を170℃にし、液体原料の CuHFAVTMS を用いた熱CVD法により、前記バリア層5上に銅薄膜6をブランケット成膜し、図1(c)に示すようなウェハー23を得た。この熱CVD法によれば、反応律速状態で銅薄膜が成膜されるので、銅薄膜はコンフォーマル成長し、前記ウェハー23の表面は平坦になる。

【0053】次に、このウェハー23を前記エッチバック室36へ搬入し、基板温度を130℃にして、正2価の銅有機錯体ガスである $\text{Cu}^{+2}(\text{HFA})_2$ と、電子供与性中性配位子ガスである $\text{Si}(\text{Me})_3\text{C}\equiv\text{CSi}(\text{Me})_3$ との混合ガスを真空排気を行いながら導入し、100Paの圧力に保持すると、前記銅薄膜6表面では上記(6)式と同様の原理でCVD成膜の逆反応が起き、前記銅薄膜6表面の銅原子 Cu^0 は、正1価の銅有機錯体である、 $\text{Cu}^{+1}(\text{HFA})\text{Si}(\text{Me})_3\text{C}\equiv\text{CSi}(\text{Me})_3$ に転換される。このとき、実験場においては、前記正2価銅有機錯体ガスと前記電子供与性中性配位子ガスとの体積比は、上述の(6)式の比(1対2)ではなく前記電子供与性中性配位子が過剰になるように供給した。

【0054】前記正1価銅有機錯体は蒸気圧が高く、真空排気により容易に除去されるので、 Cu^0 金属は、 Cu^{+1} の有機錯体に連続的に転換され、前記銅薄膜6のエッチングは徐々に進行し、前記溝4ないに銅薄膜配線6'を残し、前記溝4以外の前記絶縁膜3表面の前記バリア層5を露出させるエッチバックを行うことができる。

【0055】この銅薄膜6のエッチングをジャストエッ

チで止めるのは困難なので、オーバーエッチを行ったところ、図1(d)のウェハー24に示すように、前記溝4内に残された前記銅薄膜配線6'の表面の高さは、前記絶縁膜3表面の高さよりも低くなった。

【0056】このオーバーエッチを行った場合でも、前記バリア層5は、前記正2価銅有機錯体ガスと電子供与性中性配位子ガスとの混合ガスではエッチングされず、いわば選択性が無限大と言える程大きいので、露出した前記バリア層5や前記溝4内の前記バリア層5が浸食されることはない。なお、このときのエッチング速度は60nm/minであった。

【0057】このエッチバック終了後、前記ウェハー24を前記バリア層成膜室34内に再度搬入し、図1(e)に示すように、TiN薄膜から成る保護膜7を、前記バリア層5と同じ成膜条件でコンフォーマルに成膜し、ウェハー25を得た。

【0058】次いで、前記ウェハー25をドライエッチング室33に搬入し、アルゴンガスをキャリアガス、CF₄ガスをエッチングガスとして前記ウェハー25表面に供給し、前記保護膜7と前記バリア層5とをこの順でエッチングした。

【0059】その際、前記銅薄膜配線6'表面の高さは前記絶縁膜3表面の高さよりも低いので、前記絶縁膜3表面の前記保護膜7と前記バリア層5だけが除去され、前記銅薄膜配線6'上には前記保護膜7で構成されるキャップ層7'が残される。また、前記銅薄膜配線6'周囲と底面には前記バリア層5で構成される下地バリア層5'が残される。かくて、前記下地バリア層5'と前記キャップ層7'とで前記銅配線6'がカプセル化された銅配線9が得られた。

【0060】このように銅配線9を形成すると、前記銅配線9の幅と溝幅とは同じ幅になるので、前記溝4を微細化すれば前記銅配線9も微細化できる。また、前記銅薄膜配線6'の形成にはプラズマを用いていないので、銅配線やウェハーにダメージが与えられることはなく、更に、銅薄膜のエッチバック工程は低温で行えるので、上記実施例は多層配線にも適用できる。更にまた、ウェットエッチは行わず、清浄雰囲気中で処理でき、また、前記銅配線はカプセル化されているので腐食にも強く、歩留り、信頼性も高い。

【0061】次に、本発明の他の実施例を説明する。図4を参照し、40は本発明の一実施例の半導体製造装置であり、前記ウェハー21と同様のウェハーを一貫した真空雰囲気中でプロセス処理し、銅配線を形成するものであり、この半導体製造装置40を本発明方法の他の実施例と共に説明する。

【0062】前記半導体製造装置40は、基板搬送ロボット49が配置された基板搬送室41を有しており、該基板搬送室41を中心として、カセット室42、バリア層成膜室44、銅薄膜成膜室45、エッチバック室46

とが、図面反時計回りの方向にこの順で配置され、図示しない真空ポンプによって各室は高真空状態に置かれている。

【0063】図3(a)に示したウェハー31は、前記ウェハー21と同様に、シリコン単結晶から成る基板12上に成膜された膜厚1μmのシリコン酸化膜から成る絶縁膜13を有しており、該絶縁膜13には、幅0.35μm、深さ0.7μmの溝14が複数設けられている。

【0064】前記ウェハー31を前記カセット室42に置き、真空排気した後、前記基板搬送ロボット39で前記バリア層成膜室44に搬送する。

【0065】前記バリア層成膜室44は、搬入されたウェハーと300mmの距離になるようにTiNターゲットが配置されており、該バリア層成膜室44内にアルゴンガスを導入し、通常よりも一桁低い、0.35×10⁻²Paの圧力を保って前記TiNターゲットのスパッタリングを行ったところ、図3(b)に示すように、600Åの厚みのTiN薄膜から成るバリア層15が、前記溝14内にカバレッジ良く成膜され、ウェハー32が得られた。

【0066】このウェハー32を前記銅薄膜成膜室45に搬入し、前記銅薄膜成膜室35と同じ成膜条件のCVD反応により、前記バリア層15上にコンフォーマルに銅薄膜16を成長させ、図3(c)に示すように、表面の平坦なウェハー33を作った。

【0067】次いで、前記ウェハー33を前記エッチバック室46に搬送し、基板温度130℃で、正2価の銅有機錯体ガスであるCu⁺²(HFA)₂と、電子供与性中性配位子ガスである過剰なSi(Me)₃C≡CSi(Me)₃ガスとの混合ガスを導入し、圧力100Paの状態に保ち、前記銅薄膜16表面のCu⁰を正1価の銅有機錯体に転換除去し、図3(d)に示すように、前記溝14内にだけ銅薄膜配線16'が残されたウェハー34を得た。

【0068】該ウェハー34を前記バリア層成膜室44に再度搬入し、前記バリア層15の成膜条件と同じ条件でTiNターゲットのスパッタリングを行ったところ、図3(e)に示すように、該ウェハー34表面にTiN薄膜から成る保護膜17がカバレッジ良く成膜され、ウェハー35が得られた。

【0069】該ウェハー35を前記カセット室42から取出し、図3(f)に示すように、前記銅配線薄膜16'上の前記保護膜17が除去されないようにレジスト膜18を設けてドライエッチングを行い、前記バリア層15と前記保護膜17の不要部分を除去して下地バリア層15'とキャップ層17'を形成し、前記溝14内の前記銅薄膜配線16'をカプセル化した銅配線19を得た。このとき、前記溝14以外のところもレジスト膜で保護しておけば、所望領域に前記下地バリア層15'とキャップ層17'とを形成できる。

【0070】なお、前記バリア層5や前記キャップ層7に用いたTiN薄膜をCVD法で成膜する際、Ti(NMe₂)₄に替えてTi(NEt₂)₄を用いたり、また、N₂H₄ガスに替えてヒドラジン(N₂H₄)ガスやメチルヒドラジン(N₂H₃CH₃)ガスを用いたり、更に、TiCl₄/NH₃系の原料ガスや、その他Ti含有有機金属系ガスを原料ガスとすることも可能である。

【0071】また、前記バリア層5、15、及び前記保護膜7、17に用いることができる薄膜はTiN薄膜に限定されるものではなく、TiW、Ta、Mo、W等の高融点金属や高融点金属化合物であって、ドライエッチングにより容易にエッチング除去できる薄膜であれば本発明に適用することができる。

【0072】また、銅薄膜を正1価銅有機錯体に転換してエッチバックする際、上記各実施例では基板温度を130℃に保ったが、70℃～200℃の温度範囲でエッチバックが可能である。但し、低温側ではエッチング速度が遅くなり、高温側では生成された正1価の有機錯体が再分解してCu⁰の再生成が行われるので、結果的にエッチング速度が低下する。実験的に確認した限りでは、基板温度を120℃～160℃の範囲に保つのが望ましい。

【0073】更に、前記銅薄膜のエッチバックの際、100Paの圧力にしたが、10Pa～200Paの圧力範囲を用いることができる。但し、このときの圧力値は、ドライエッチングガス濃度と等価なので、圧力が低い場合は反応速度が遅くなり、高い場合は周辺部のエッチングが進行しすぎてウェハー面内のエッチング分布が悪化する。実験的に確認された範囲では、50Pa～150Paが実用に適した圧力範囲であると考えられる。

【0074】なお、銅薄膜のエッチバックの際、本実施例ではキャリアガスをを用いなかったが、大面積のウェハー表面の銅薄膜をエッチバックする場合には、正2価銅有機錯体ガスと電子供与性中性配位子ガスに加え、アルゴンガスや、場合によりアルゴンガスにH₂ガスを添加

した混合ガスをキャリアガスとして用いることが、面内エッチング分布の改善のためには望ましい。

【0075】

【発明の効果】本発明によれば、銅薄膜のエッチバックにプラズマを用いなくて済み、また低温で行うことができるので、素子に対してダメージを与えない。また、このエッチバックの際の銅薄膜と下地のバリア層との選択性が非常に大きいので、溝内のバリア層までエッチングされてしまうということはない。

【0076】また本発明によれば、減圧雰囲気で処理し、ウェット処理を必要としないので、歩留り、信頼性が向上し、また、工程が簡略化されるので、スループットが向上する。

【図面の簡単な説明】

15 【図1】 本発明方法の実施例を説明するための工程図

【図2】 その方法の実施に用いることができる半導体製造装置の一例

【図3】 本発明方法の他の実施例を説明するための工程図

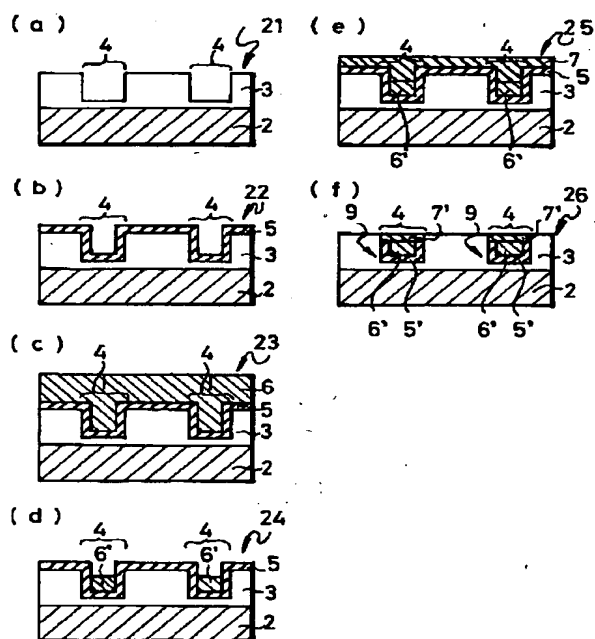
20 【図4】 その方法の実施に用いることができる半導体製造装置の一例

【図5】 CMP法を説明するための工程図

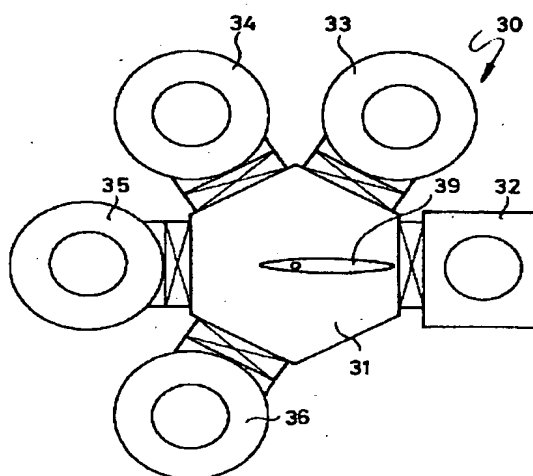
【符号の説明】

2、12……基板 4、14……溝 3、13……絶縁膜
5、15……バリア層 6、16……銅薄膜 9、19……銅配線
7'、17'……キャップ層
34、44、……バリア層成膜室 35、45……銅薄膜成膜室
36、46……エッチバック室 31、41……基板搬送室
39、49……基板搬送ロボット 30、40……銅配線製造装置

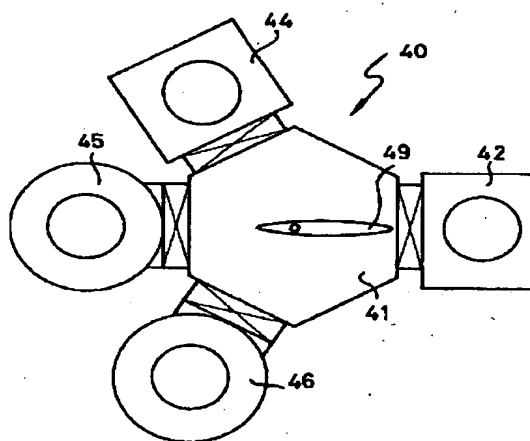
【図1】



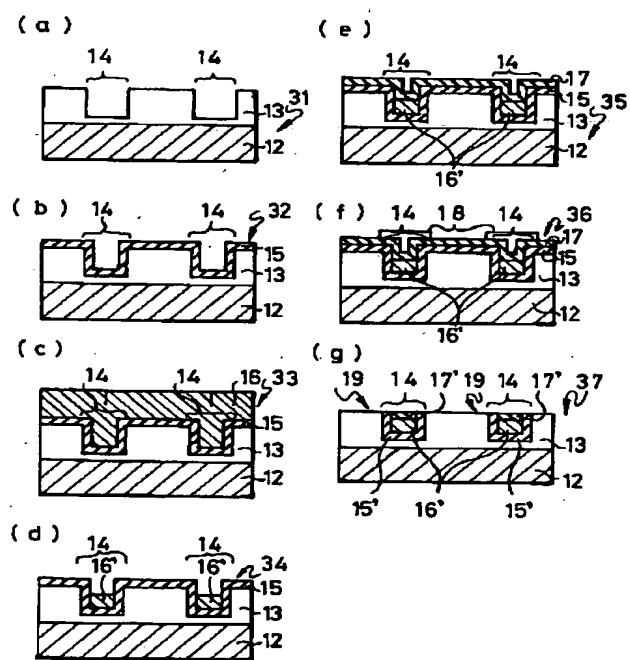
【図2】



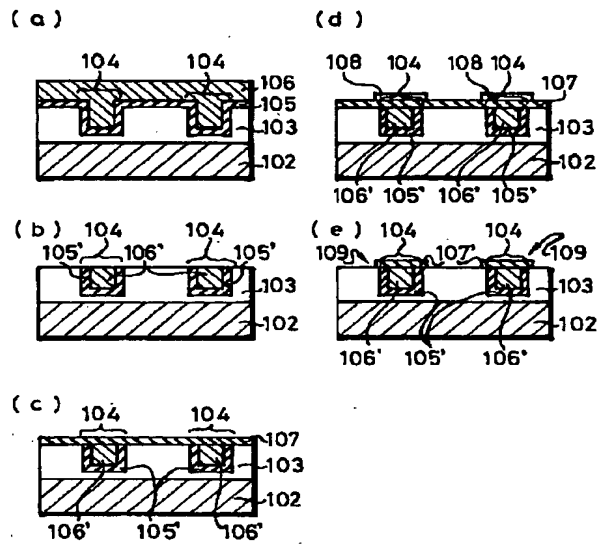
【図4】



【図3】



【図5】



フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 21/88

M

(72)発明者 村田 真朗

神奈川県茅ヶ崎市萩園2500番地 日本真空
技術株式会社内

(72)発明者 劉 身健

神奈川県茅ヶ崎市萩園2500番地 日本真空
技術株式会社内

完全被覆Cu配線プロセス

豊田吉彦* 長谷川万希子*
深田哲生* 三上 登**
森 剛*

要旨

LSIの高速化・大規模化に伴い、従来のAlCu配線よりも低抵抗であり、約3けたの信頼性向上が期待できるCu配線が、次世代(0.18 μ m以降)の配線材料として注目されている。

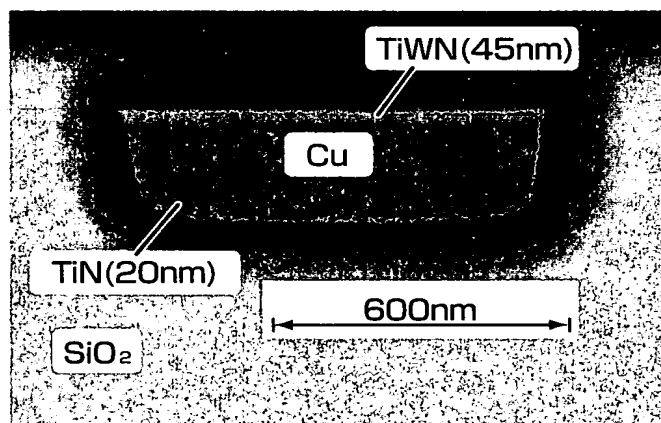
しかし、Cuは容易に酸化・拡散するため、配線工程においてこれらをいかに抑制するかがCuを配線に適用する上での課題となっていた。この対策として、従来Cu上部に窒化シリコン等の絶縁膜を形成する方法が提案されていた。この方法ではバイアホール形成工程で底面のCuが必ず露出するため、底面のCuの酸化によるバイア抵抗増加等の問題があった。

バリアメタルで周囲を完全被覆した新構造の埋込みCu

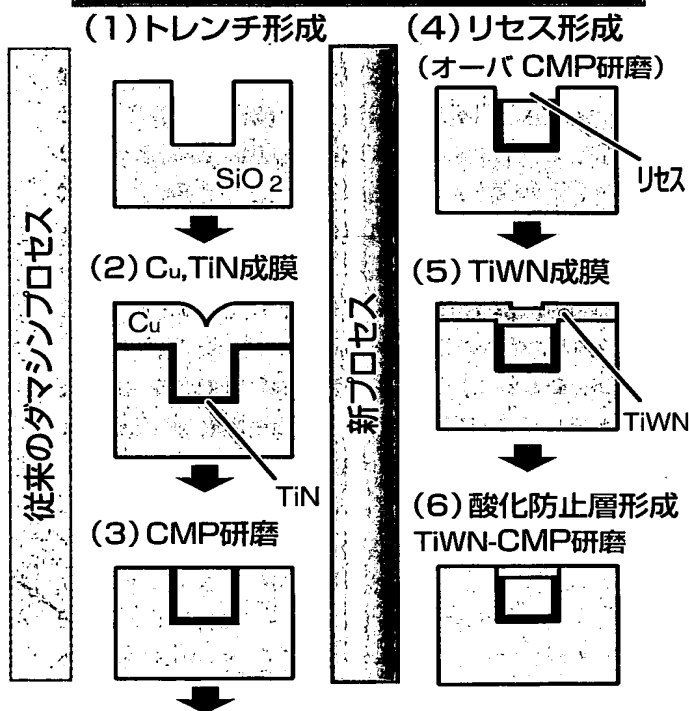
配線を開発することによってこれらの課題を解決した。この構造を実現するために、化学機械研磨を用いたダマシン法を改良した新プロセスを考案した。新プロセスでは、Cu研磨時にリセス(凹部)を形成し、リセスにバリアメタルを埋め込むことにより、Cu配線上部に自己整合的にバリアメタルを形成できる。自己整合プロセスであるので、マスク数・チップ面積が増加することはない。

この完全被覆配線構造により、バイア形成工程を含めた配線工程におけるCuの酸化・拡散を防止でき、安定した埋込みCu多層配線プロセスを構築することができる。今後、量産化を目指し、更に開発を進めていく予定である。

開発した完全被覆Cu配線



提案した新プロセスのフロー



完全被覆Cu配線の断面とプロセスフロー

今回開発した完全被覆Cu配線の断面SEM写真とプロセスフローを示す。バリアメタルでCuの周囲を完全被覆することにより、Cuの酸化・拡散を防止できる。従来のダマシン法を改良した新プロセスにより、バリアメタルを自己整合的に形成できる。このプロセス適用により、マスク数・チップ面積が増加することはない。

1. ま え が き

LSIの大規模化に伴い、半導体技術はパターンサイズの縮小を追求してきた。現在では2000年に向けて0.25 μm の技術開発が本格化し、0.18 μm 以降の技術開発も進行しつつある。

LSIの大規模化・微細化・高速化に伴い、多層配線における配線遅延や信頼性の低下等の問題が深刻となりつつある。Cuは従来のAlに比べて30%程度低抵抗であり、約3けたの信頼性向上が期待できるため、これらの問題を解決できる次世代の配線材料として注目されている。しかし、Cuは加工が難しく、容易に酸化・拡散するため、これに対応できるプロセスを確立できるかどうかデバイス適用のかぎ(鍵)となっている。

本稿では、当社におけるCu配線形成技術の開発について紹介する。特に多層配線で大きな問題となる上部バリア金属の形成方法を新たに開発し、バリア金属で完全被覆したCu配線を実現した結果について詳しく述べる。

2. LSI配線のトレンド

LSIでは、世代ごとに0.7の割合でサイズが縮小されてきた。これに伴ってトランジスタの性能は向上し、デバイス的高速化が実現されてきた。一方、配線では微細化に伴って次のような問題が生じる。①配線の断面積は微細化に伴って減少するため、配線抵抗や電流密度は増加する。②配線抵抗が増加すると配線遅延も増加し、配線遅延が動作速度を律速するため、トランジスタを高性能にしても動作速度を向上できないという問題点がある。③電流密度が高くなると配線のエレクトロマイグレーション(以下“EM”という。)寿命が短くなり、配線の信頼性に悪影響を与える。

図1、図2は配線遅延、EM寿命が微細化に伴ってどのように変化するかを計算した結果である⁽¹⁾。配線遅延は第三世代で1けた増加し、EM寿命は第三世代で2けた低下しており、微細化に伴ってこれらの問題が深刻となる。

表1に示すように、Cuは現状の配線材料であるAlCuと比べて比抵抗は70%以下と低く、信頼性は約3けた高いと報告されており⁽²⁾、上記のような問題を抜本的に解決でき

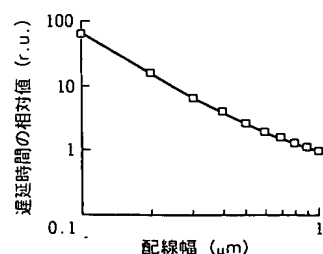


図1 配線遅延と配線幅の関係

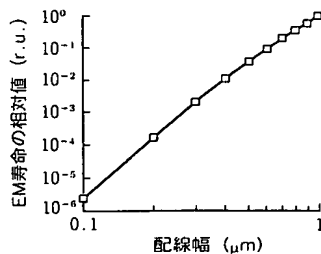


図2 エレクトロマイグレーション寿命と配線幅の関係

る次世代配線材料として注目されている。

3. Cu配線技術

3.1 従来のCu配線技術

CuをLSI配線に適用するための主な課題として、加工性、SiやSiO₂中への拡散防止、酸化防止が挙げられる。これらの問題を解決するため現在までに様々な開発が進められてきた。加工については、基板温度を200～300℃に上げた反応性イオンエッチング(以下“RIE”という。)やダマシン法⁽³⁾⁽⁴⁾が開発され、サブミクロンの配線を形成できるようになっている。拡散・酸化については、バリア金属を形成することによって防ぐことができる。しかし、従来採用されてきたRIEによって配線を形成した場合、側壁にバリア金属を形成するのが難しい。これに対し、ダマシン法ではトレンチ(溝)を形成した後にバリア金属を形成できるので、側壁バリア金属を容易に形成できる。配線上部での拡散・酸化は、SiN、Al₂O₃等の絶縁膜を形成することによって防止できる⁽³⁾⁽⁴⁾。

以上のようにダマシン法には、サブミクロンの配線形成が可能、酸化・拡散防止層の形成が容易といったメリットがあるため、我々はダマシン法によるCu配線の開発を進めてきた。しかし、従来の方法では上部のバリア層として絶縁膜を用いていたため、上層の配線とのバイア(接続孔)を形成する際に下層のCu配線の表面が露出してしまうという問題がある。露出したCu表面には絶縁膜エッチングやレジスト除去時に変質層が形成され、バイアコンタクト不良やバイアにおける信頼性の低下が引き起こされる。バイア形成時にCuの露出を防ぐためには、Cuの上部をバリア金属によって覆う必要がある。すなわち、バリア金属完全被覆構造が理想的な構造となる。

3.2 完全被覆Cu配線技術

今回、我々は従来のダマシンプロセスを改良することにより、バリア金属完全被覆構造を作成することに成功した。配線を作成したプロセスフローを図3に示す。まず、酸化膜にRIEによってトレンチを形成する。Cuをスパッタによって埋め込んだ後、化学機械研磨(以下“CMP”という。)によってCuとTiNを研磨し、溝以外の部分を除去する。このとき、更にCMPによる研磨を続けると、溝に埋め込まれた配線上部が更に研磨され、リセス(凹部)が形成されることを見出した。上部バリア金属材料としてTiWNをスパッタ

表1 AlCuとCuの材料特性

		AlCu	Cu
比抵抗 ($\mu\Omega \cdot \text{cm}$)	バルク	2.8	1.7
	薄膜	3	1.9
EM活性化エネルギー (eV)		0.6～0.8	～1

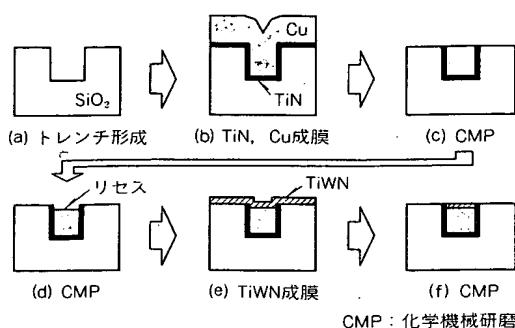


図3. 完全被覆Cu配線のプロセスフロー

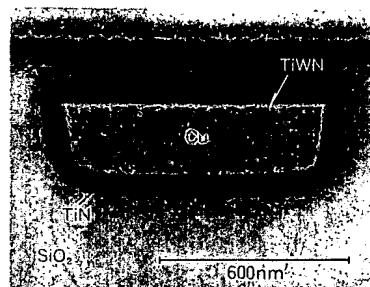


図4. 完全被覆Cu配線の断面SEM写真

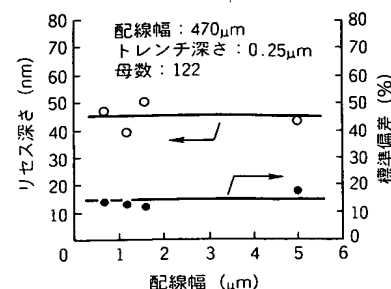


図5. リセス深さとその分布の配線幅依存性

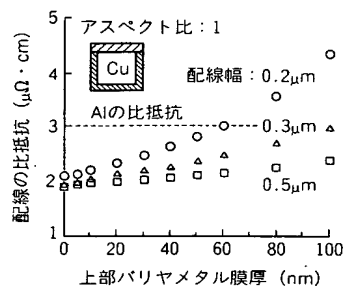


図6. 上部バリアメタルの膜厚が配線の比抵抗に及ぼす影響

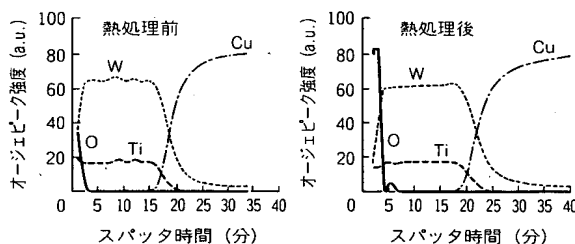


図7. アニール処理前後の各元素の深さ方向分布

表2. TiWN/Cu構造のアニールによる抵抗変化

TiWN膜厚 (nm)	20	30	50
$\Delta R/R$ (%)	∞	-2	-4

注 450°C, 30min, 空气中

によって形成した後、CMPによってリセス以外の部分に形成されたTiWNを除去する。このようにリセスにTiWNを埋め込むことにより、セルフアラインで上部バリアメタルを形成することできる。セルフアラインプロセスであるため、上部バリアメタルと配線のアライメントは不要であり、アライメントマージンを確保するために配線ピッチを大きく取る必要がない。以上のようにして形成された配線の断面SEM写真を図4に示す。配線幅は0.7 μm 、深さは0.24 μm である。TiNのカバレッジはほぼ100%であり、良好な特性である。また上部TiWNはセルフアラインで形成されており、その膜厚は45 nmに制御できている。以上のように、バリアメタルで完全被覆した配線をセルフアラインプロセスで実現することができた。

このプロセスで懸念されるのが、リセス形成の制御性である。リセスを制御するには、トレンチ内でのリセス深さの均一性及びモフォロジ、ウェーハ面内でのリセス深さの均一性、配線幅依存性がないといった項目が要求される。図から分かるように、トレンチ内でリセスは均一に形成されている。またCMP後のCuの表面では平均粗さが1 nmであり、良好なモフォロジが得られている。図5に示すように、ウェーハ面内でのリセス深さの分布は、45 nmに対し、1 σ で5 nmと良好である。リセス深さの分布にはCMPの均一性が反映される。今回エアバッグ方式を採用することにより、ウェーハに対して均一に加重することができ、良好な均一性を得ることができた。また、配線幅0.7~5 μm の範囲において、

リセスの深さは配線幅にほとんど依存しない。以上から、今回のプロセスはリセス深さに対して十分な制御性を持っていると言える。

3.3 完全被覆配線の電気的特性

配線の実効的な比抵抗は、バリアメタルと配線材料の比抵抗によって決まることになる。一般に、バリアメタルの比抵抗は、Cuの比抵抗の数十倍~数百倍と高い。このため、バリアメタルの膜厚が厚くなると配線の比抵抗は増加することになる。上部バリアメタルの膜厚が配線抵抗に与える影響を図6に示す。特に、配線幅が狭くなると上部バリアメタル膜厚の影響が大きくなることが分かる。以上のように上部のバリアメタルを薄膜化することにより、配線の比抵抗を下げることができる。

バリアメタルの薄膜化には、リセスの制御性及びバリアメタルの耐酸化性が必要となる。3.2節で述べたように、リセスの制御性は良好である。また、TiWNは優れた耐酸化性を示し⁽⁵⁾、薄膜化に適している。異なる膜厚のTiWNをCu上に形成し、450°C、30分、大気中で熱処理した後のCuの抵抗変化率($\Delta R/R$)を表2に示す。膜厚30 nmにおいてもCuの抵抗は、熱処理前後でほとんど変化せず、酸化による抵抗上昇は観察されない。図7に示すように、このときのTiWNの酸化は表面で止まっている。以上のように、30 nmのTiWNによって酸化を防止できる。リセス形成時の分布が1 σ で5 nmであることを考慮した場合、上部バリアメタル膜厚には45 nm以上が必要となる。このときの配線の比抵抗と配線幅の関係を計算した結果が図8である。上部バリアメタルを薄膜化したことにより、0.15 μm 幅の配線

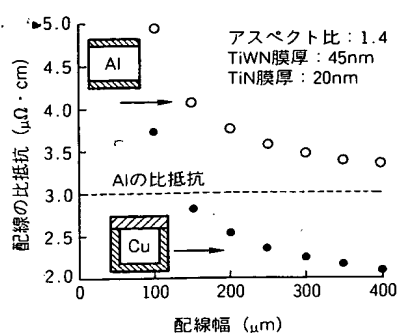


図8. 配線の比抵抗の配線幅依存性

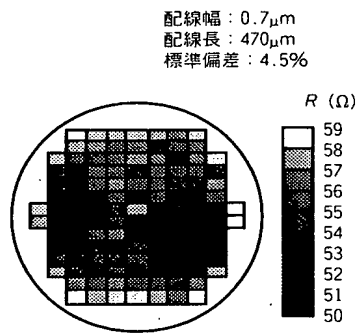


図9. シート抵抗のウェーハ面内分布

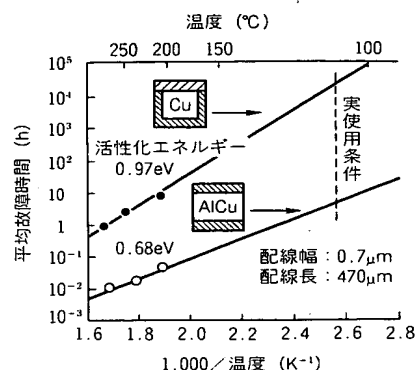


図10. Cu配線とAlCu配線のエレクトロマイグレーション寿命の比較

においても、配線の比抵抗はAlよりも低くなるのが分かる。また、図9に配線抵抗の面内分布を示す。1σで4.5%と良好な値が得られている。

CuのEM寿命を測定した結果を図10に示す。評価はウェーハレベルで、高加速条件で行っている。電流密度は 10^7 A/cm²である。CuのEMに対する活性化エネルギーは0.97 eVで、AlCuよりも高い値が得られている。この値は、他の報告⁽²⁾⁽⁴⁾とほぼ一致した値である。実使用温度でのEM寿命を考えた場合、EM寿命はAlCuよりも約3けた長く、Cuが優れた信頼性を持っている。

4. む す び

CuをLSI配線に適用することにより、LSIの微細化に伴う配線遅延の増加とEM寿命の低下を解決することができる。しかし、Cuは容易に酸化・拡散するため、配線工程でこれらをいかに抑制するかがCuを配線に適用する上での課題となっていた。特にバイアホール形成工程では底面のCuが必ず露出するため、底面のCuの酸化によるバイア抵抗増加等の問題があった。

バリアメタルで周囲を完全被覆した構造とすることにより、これらの課題を解決した。ダマシン法を採用することにより、底面及び側面のバリアメタルは容易に形成できた。上部バリアメタルの形成のために、化学機械研磨を用いたダマシン法を改良した新プロセスを考案した。このプロセスでは、Cu研磨時にリセスを形成し、リセスにバリアメタルを埋め込むことにより、Cu配線上部に自己整合的にバリアメタルを形成できる。リセスの深さの制御性は、45 nmに対し、1σで5 nmと良好である。

酸化耐性の高いTiWNを採用し、TiWNの膜厚を決めるリセス深さを精密に制御することにより、上部バリアメタルの膜厚を45 nmまで薄膜化できた。これにより、0.15 μm幅の配線においてもAlより低い比抵抗を得ることがで

きる。配線抵抗の面内分布は1σで4.5%と良好である。また、EMに対してAlCu配線よりも約3けた高い信頼性がある。

今後は量産に向けたプロセス開発を行っていく予定である。

参 考 文 献

- (1) 豊田吉彦, 深田哲生, 森 剛, 長谷川万希子, 三上登: 高信頼性Cu配線の特性, 信学技報, **95**, No.207, 41~47 (1996)
- (2) Ohmi, T., Hoshi, T., Yoshie, T., Takewaki, T., Otsuki, M., Shibata, T., Nitta, T.: Large Electromigration Resistance Copper Interconnect Technology for Sub-half Micron ULSI's, Tech. Dig. of IEDM, 285~288 (1991)
- (3) Ueno, K., Ohto, K., Tsunenari, K.: A Half-micron Pitch Cu Interconnection Technology, Symp. on VLSI Tech. Dig., 27~28 (1995)
- (4) Hoshino, M., Misawa, N., Kakuta, K., Oh-sako, N., Okamoto, S., Ohba, T., Yagi, H., Yamada, M., Furumura, Y.: Comparative Evaluation Study of CMP Copper Interconnect Prepared by Sputter Reflow with the One Prepared by CVD, Proc. of Advanced Metallization and Interconnect Systems for ULSI Applications, 701~707 (1995)
- (5) Fukada, T., Toyoda, Y., Hasegawa, M., Kurokawa, H., Sato, I., Nunoshita, M.: Prevention of Cu Oxidation in ULSI Process, Proc. of Advanced Metallization for ULSI Applications, 109~115 (1993)